

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-243177

(43)Date of publication of application : 21.09.1993

(51)Int.Cl.

H01L 21/28

H01L 27/146

H01L 29/50

(21)Application number : 04-042733

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 28.02.1992

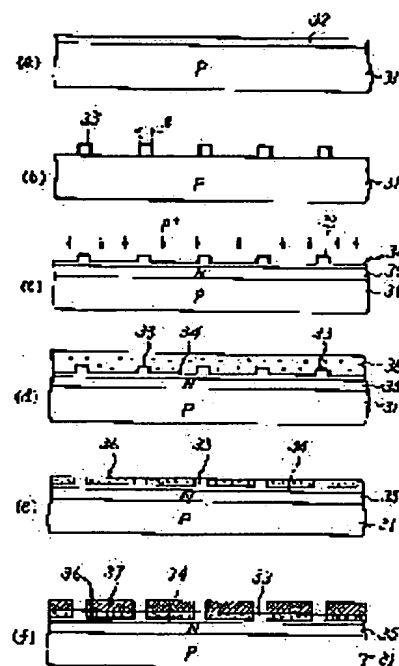
(72)Inventor : MORI TADASHI

(54) MANUFACTURE OF SINGLE-LAYER GATE CCD

(57)Abstract:

PURPOSE: To provide a method of manufacturing a single-layer gate CCD of high integration and speed, where the CCD is possessed of a narrower gate electrode gap than usual, the gate electrode is formed of tungsten polycide, and the width of a spacer can be reduced to a minimum dimension of resist determined on the resolution of photolithography.

CONSTITUTION: In a method of manufacturing a single-layer gate CCD whose gate electrode is formed of tungsten polycide film, insulating films 32 are formed on a part of a semiconductor substrate 31 at an equal interval, then a gate oxide film 34 is formed on the exposed part of the semiconductor substrate 31, a thick polycrystalline silicon film 36 is formed on all the substrate and etched until the insulating film 32 is exposed, and then a tungsten film 37 is formed on the residual polycrystalline silicon film.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-243177

(43)公開日 平成5年(1993)9月21日

(51)IntCL ^a	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/28	3 0 1 D	7738-4M		
27/146				
29/50	S	7738-4M		
		7210-4M		
			H 0 1 L 27/ 14	A

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平4-42733

(22)出願日 平成4年(1992)2月28日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 森 規

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

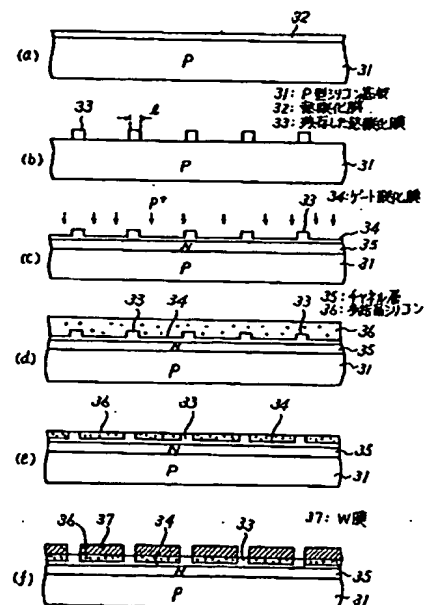
(74)代理人 弁理士 清水 守 (外3名)

(54)【発明の名称】 単層ゲートCCDの製造方法

(57)【要約】

【目的】 従来より狭いゲート電極間ギャップを有し、かつ、ゲート電極にタングステンポリサイドを用いた、スペーサの幅をホトリソの解像によって決まる最小レジスト寸法まで縮小することが可能であり、高集積、高速の単層ゲートCCDの製造方法を提供する。

【構成】 タングステンポリサイド膜をゲート電極材料とする単層ゲートCCDの製造方法において、半導体基板31上の一部分に等間隔で絶縁膜32を形成し、次に半導体基板31の露出部分にゲート酸化膜34を形成し、次に厚い多結晶シリコン膜36を基板全面に形成し、次に多結晶シリコン膜36を絶縁膜32が露出するまでエッチングし、次に残存した多結晶シリコン膜上のみタングステン膜37を成長させる。



【特許請求の範囲】

【請求項1】(a)半導体基板上の一部分に等間隔で絶縁膜を形成する工程と、(b)前記半導体基板の露出部分にゲート酸化膜を形成する工程と、(c)厚い多結晶シリコン膜を基板全面に形成する工程と、(d)前記多結晶シリコン膜を前記絶縁膜が露出するまでエッチングする工程と、(e)残存した多結晶シリコン膜上のみタングステン膜を成長させる工程を順次施すことを特徴とする単層ゲートCCDの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、タングステンポリサイド膜をゲート電極材料とする単層ゲートCCD(Charge Coupled-Device)の製造方法に関するものである。

【0002】

【従来の技術】従来、このような分野の技術としては、例えば、「単層ポリサイドゲートCCD」、SDM89-174、1~6頁に開示されるものがあった。図2はかかる従来の第1の単層ポリサイドゲートCCDの断面図である。この図に示すように、タングステンポリサイド(ポリシリコンとWSi₂の2層膜)をゲート電極に用いた通常の単層ゲートCCDであり、このCCDは、P型シリコン基板1、ゲート酸化膜2、埋め込みチャンネル3、ポリシリコン4、WSi₂膜5とから構成されている。

【0003】しかし、このCCDのゲート電極間ギャップは、先端の光リソグラフィ技術を用いても、0.5μm以上となってしまいうため、この電極間ギャップ下のチャンネルポテンシャルが上昇してしまう、つまり、ポテンシャルのディップが生じるという欠点があるため、上記文献に記載されているように新しい構造、以下、図3及び図4に示す単層ポリサイドゲートCCDが提案されている。

【0004】図3に示す単層ポリサイドゲートCCDの構造の特徴は、図2の電極間ギャップ部に生じるポテンシャルディップを解消するため、そのギャップ部にボロンを注入することにより、ギャップ部分に低濃度のN型領域6を形成する。また、図4に示す単層ポリサイドゲートCCDの構造の特徴は、そのギャップ領域に窒化膜7を堆積させるように構成していることにある。

【0005】次に、図5を用いて、図2~図4に示す単層ポリサイドゲートCCDの製造方法を工程順に説明する。まず、図5(a)に示すように、P型シリコン基板21にゲート酸化膜22を形成し、更に全面にリンをイオン注入して埋め込みチャンネル層23を形成する。次に、図5(b)に示すように、基板全面に多結晶シリコン膜24をCVD法で形成し、リンを該多結晶シリコン膜中に導入した後、全面にタングステンポリサイド膜(WSi₂膜)25を、スパッタ法或いはCVD法により形成する。

【0006】次に、図5(c)に示すように、ホトリソ・エッチングプロセスにより、ポリサイドゲート電極26を形成する。ここで、図5(c)に示されているゲート電極間距離Dはホトリソプロセスの最小解像寸法で決まり、現在の先端デバイスである16MDRAMに使用されているホトリソ技術を用いても、Dの最小値は、0.6μm位が限界である。

【0007】以上、図5(a)~(c)迄の工程を経ることによって、図2に示す通常の単層ゲートCCDが出来上がる。図3及び図4に示す構造の単層ゲートCCDを実現させるためには、更に、図5(c)の後に工程を付加する必要がある、以下にその工程を説明する。図5(d)に示すように、ゲート電極間のギャップ領域にボロンをイオン注入し、低濃度のN型チャンネル領域27を形成する。このボロン注入はギャップ領域に生じるポテンシャルディップを低減する効果があり、ボロンの注入量を最適化すれば、ギャップ領域のチャンネルポテンシャルとゲート電極下のポテンシャルを等しくすることができる。

【0008】更に、図5(e)は、図5(c)の工程の後に全面に窒化膜28をCVD法にし、形成したところであり、図4の単層ゲートCCDの構造に相当する。この窒化膜28がない図3の単層ゲートCCDの構造では、ゲート電極間にBPSG等の酸化膜が形成されるのが普通である。従って、図4の単層ゲートCCDの構造は図3のそれに比べ、ゲート電極間に比誘電率の高い膜が存在するため、ゲート電極間の容量が大きくなり、ポテンシャルディップが低減できるというメリットがある。

【0009】

【発明が解決しようとする課題】しかしながら、以上述べたいずれの方法であっても、以下に述べるような欠点があり、技術的に満足できるものは得られなかった。

(1)図2に示す単層ゲートCCDの製造方法、図5(a)~(c)は、前述したように、電極間ギャップ下のチャンネルポテンシャルにディップが生じるため、CCDの転送効率が悪い。

(2)図3に示す単層ゲートCCDの製造方法、図5(a)~(d)は、電極間ギャップ下のポテンシャルディップは解消されるが、電極間ギャップは長く、また工程が増加する。

(3)図4に示す単層ゲートCCDの製造方法、図5(a)~(c)+(e)は、電極間ギャップ下のポテンシャルディップは低減されるが、電極間ギャップは長く、また、工程が長くなる。

【0010】このように、上記いずれの単層ゲートCCD構造も、電極間ギャップが、0.6μm位となるため、例えばCCDのゲート長を10μmとした場合、そのピッチは1.6μmとなり、CCD部の面積が大きくなりすぎるをえない。本発明は、以上述べた問題点を除去

するため、従来より狭いゲート電極間ギャップを有し、かつ、ゲート電極にタングステンポリサイドを用いた、スペースの幅をホトリソの解像によって決まる最小レジスト寸法まで縮小することが可能であり、高集積、高速の単層ゲートCCDの製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明は、上記目的を達成するために、単層ゲートCCDの製造方法において、半導体基板上の一部分に等間隔で絶縁膜を形成する工程と、前記半導体基板の露出部分にゲート酸化膜を形成する工程と、厚い多結晶シリコン膜を基板全面に形成する工程と、前記多結晶シリコン膜を前記絶縁膜が露出するまでエッチングする工程と、残存した多結晶シリコン膜上のみタングステン膜を成長させる工程とを順次施すようにしたものである。

【0012】

【作用】本発明によれば、図1に示すように、単層ゲートCCDの製造方法において、まず、ゲート電極間ギャップとなる部分に絶縁膜のスペースを予め形成しておく。その後、多結晶シリコンを全面に生成して、かつエッチバックを行ない、前記絶縁膜を露出させた後、選択WCVD法にし、ポリサイド電極を形成する。

【0013】したがって、従来と同一ゲート長のCCDを実現しようとした場合、従来のいずれの方法よりも高密度化することが可能であり、しかも、チャネルポテンシャルディップが小さいため転送効率の向上を図ることができる。また、選択CVD法を用いて、簡単にW電極をポリ電極上に形成できるため、ゲート電極の抵抗遅延の小さい、高速単層ゲートCCDを得ることができる。

【0014】

【実施例】以下、本発明の実施例について図面を参照しながら詳細に説明する。図1は本発明の実施例を示す単層ゲートCCDの製造工程断面図である。まず、図1(a)に示すように、P型シリコン基板31に比較的厚い熱酸化膜32（例えば、3000Å）を形成する。この熱酸化膜32の厚さは将来形成される多結晶シリコンの所望する厚さに揃えておく。

【0015】次に、図1(b)に示すように、ホトリソ・エッチングを行ない、ゲート電極間のギャップとなる部分に、前記熱酸化膜32〔図1(a)参照〕を残存させるように形成する。この残存させた熱酸化膜33をここではスペースと呼ぶ。このスペースの幅1は、ホトリソの解像によって決まる最小レジスト寸法まで小さくすることが可能であり、従来と同様なリソグラフィ技術を使用することによっても、0.3μm位迄は実現できる。

【0016】次に、図1(c)に示すように、全面に薄いゲート酸化膜34（例えば、200Å）を形成し、更にリンをイオン注入して埋め込みチャンネル層を形成する

が、スペース33の下部の埋め込みチャンネル層が浅くなるため、900～1000℃程度の熱処理を行ない、Si表面全体がN型のチャンネル層35になるようにする。

【0017】次に、図1(d)に示すように、基板全面にCVD法を用いて多結晶シリコン36（例えば、1μm）を表面がほぼ平坦になる厚さで堆積する。更に、その多結晶シリコン36に導電性を持たせるため、リンを熱拡散あるいはイオン注入法にて導入する。次に、図1(e)に示すように、基板表面から多結晶シリコン36をスペース33がちょうど露出するまでエッチングを行なう。

【0018】更に、図1(f)に示すようにCVD法にてW膜37（例えば、1500Å）を前記多結晶シリコン膜36上に選択的に生成し、Wポリサイドをゲート電極材に用いた単層ゲートCCDが完成する。以上の実施例においては、スペース33の材料は酸化膜であったが、窒化シリコン膜のような誘電率の大きい絶縁膜であっても構わない。

【0019】なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づき種々の変形が可能であり、それらを本発明の範囲から排除するものではない。

【0020】

【発明の効果】以上、詳細に説明したように、本発明によれば、ホトリソグラフィのレジスト解像におけるスペース幅が、ライン幅より小寸法を実現できるということを利用して、0.3～0.5μm程度の幅で絶縁物からなるスペースを、予めゲート電極ギャップ部に形成している。このゲート電極間ギャップは、その幅が小さい程ギャップ下のチャネルポテンシャルディップ（チャネルポテンシャル上昇）が軽減される。

【0021】従って、従来と同一ゲート長のCCDを実現しようとした場合、従来のいずれの方法よりも高密度化することが可能であり、しかも、チャネルポテンシャルディップが小さいため、転送効率の向上を図ることができる。また、選択CVD法を用いて、簡単にW電極をポリ電極上に形成できるため、ゲート電極の抵抗遅延の小さい、高速単層ゲートCCDを実現できる。

【図面の簡単な説明】

【図1】本発明の実施例を示す単層ゲートCCDの製造工程断面図である。

【図2】従来の第1の単層ポリサイドゲートCCDの断面図である。

【図3】従来の第2の単層ポリサイドゲートCCDの断面図である。

【図4】従来の第3の単層ポリサイドゲートCCDの断面図である。

【図5】従来の単層ポリサイドゲートCCDの製造工程断面図である。

【符号の説明】

(4)

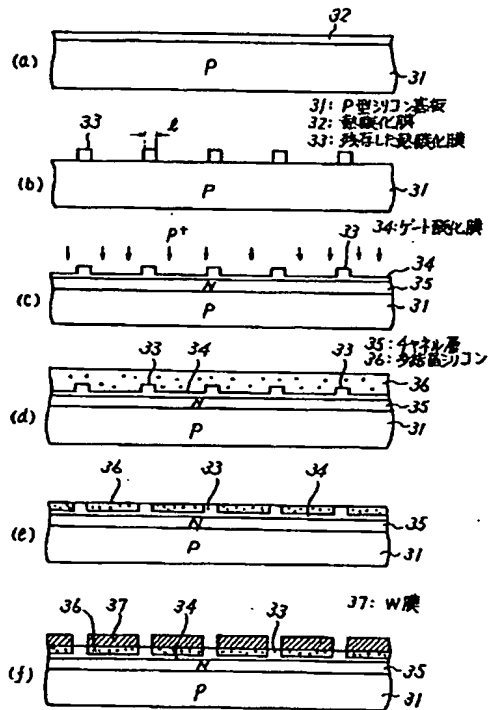
特開平5-243177

- 31 P型シリコン基板
 32 熱酸化膜
 33 残存した熱酸化膜 (スペーサ)
 34 薄いゲート酸化膜

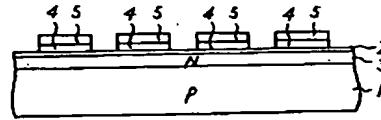
- * 35 N型のチャネル層
 36 多結晶シリコン
 37 W膜

*

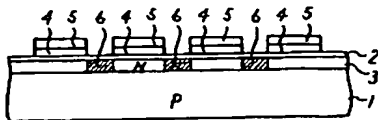
【図1】



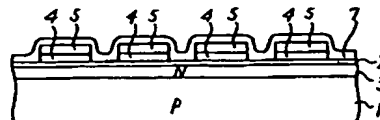
【図2】



【図3】



【図4】



【図5】

